| **МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ** |
| --- |
| **ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ высшего образования** |
| **«Национальный исследовательский ядерный университет «МИФИ»** |
| **ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ** |
| **КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12)** |

**Отчет по дисциплине**

**Схемотехника цифровых устройств**

| **Тема: Модуль управления частотой дискретизации векторного анализатора сигналов** | | | | |
| --- | --- | --- | --- | --- |
| **Студенты** | **Завгородний Максим Денисович**  **Катаева Анастасия Михайловна** | | **Группа** | **С20-501** |
|  | **ФИО** | |  |  |
| **Руководители** | | **Решетько В.М.**  **Сапрыкина В.С.** | | |
|  | | **ФИО** | | |
|  |  |  |  |  |

**Москва, 2022**

**Содержание**

[**1. Введение**](#_qi1fmqofy3lk) **3**

[**2. Спецификация**](#_hzppmcvb6jq7) **4**

[**3. Адресная карта**](#_we1li959drb) **7**

[**4. Симуляция**](#_gqt4t1dsmqjf) **9**

[**5. Синтез**](#_4ed99kfn2ym7) **14**

[**6. Заключение**](#_qrnnfpp8gaz0) **15**

# Введение

В рамках выполнения курсовой работы решается задача разработки модуля управления частотой дискретизации векторного анализатора сигналов.

Векторный анализатор сигналов используется для анализа радиосигналов сложной формы, например, сигналов с цифровой квадратурной модуляцией. Параметры таких колебаний трудно, если вообще возможно оценить с помощью обычных устройств. Чтобы получить исчерпывающие сведения о модуляции и характеристиках сигнала, а также извлечь полезные данные, необходимо исследовать двухкомпонентный, то есть векторный процесс, который отражает изменения во времени амплитуды и фазы исходного сигнала. Средства цифровой обработки векторного анализатора позволяют регистрировать подобные процессы и выделять информацию о параметрах принимаемого сигнала.

Модуль синтеза частоты дискретизации предназначен для обеспечения аналого-цифрового преобразователя частотой дискретизации и для обеспечения внутреннего модуля приема оцифрованных данных частотой потока данных.

Модуль представляет собой схему прямого цифрового синтеза, генерирующую меандры заданной и удвоенной частот.

# Спецификация

**Графическое представление и описание сигналов.**

Условное графическое представление модуля синтеза частоты дискретизации представлено на Рис. 2.2.

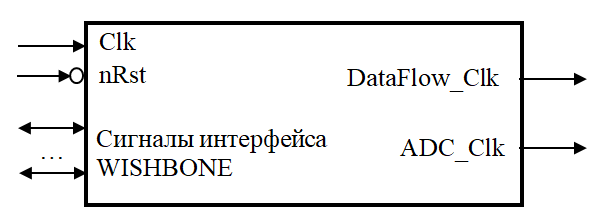


Рис.2.2 УГО модуля синтеза частоты дискретизации

Описание сигналов представлено в таблице 2.1.

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса с активным нижним уровнем |
| 3 | ADC\_Clk | out | Тактовый сигнал заданной частоты дискретизации для выполнения цифро-аналогового преобразования |
| 4 | DataFlow\_Clk | out | Тактовый сигнал для приема данных с АЦП |
| 5 | WB\_Addr (15:0) | in | Адрес смещения для целевого адресного пространства. |
| 6 | WB\_DataOut (15:0) | out | Поток данных на чтение, 16-битные слова. |
| 7 | WB\_DataIn (15:0) | in | Поток данных на запись, 16-битные слова. |
| 8 | WB\_WE | in | **W**rite **E**nable. Сигнал разрешения записи: высокий уровень — цикл записи в модуль, низкий — цикл чтения из модуля. |
| 11 | WB\_Sel(1:0) | in | **Sel**ect. Сигналы разрешения приема/пересылки байта |
| 12 | WB\_STB | in | **St**ro**b**e. Строб-импульс, высокий уровень показывает корректность данных. |
| 13 | WB\_Cyc | in | **Cyc**le. Высокий уровень сигнала показывает выполнение корректного цикла обмена информацией. |
| 14 | WB\_Ack | out | **Ack**nowledge. Сигнал подтверждения штатного завершения пересылки элемента пакета. |
| 15 | WB\_CTI (2:0) | in | **C**ycle **T**ype **I**dentifier. Определяет режим работы интерфейса. |

Таблица 2.1. Описание сигналов

**Описание устройства работы модуля синтеза частоты дискретизации.**

Прямой цифровой синтез (DDS) - это метод получения аналоговой формы сигнала с помощью цифрового устройства. В данной курсовой работе необходимо получить тактовые сигналы заданной частоты на основе метода прямого цифрового синтеза.

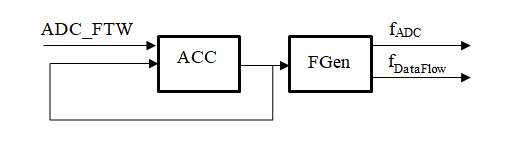


Рис.2.3. Схема модуля синтеза частоты дискретизации

**ADC\_FTW** - слово установки частоты (частотное слово).

**ACC** - аккумулятор (счетчик со встроенным регистром, накапливающий некоторое выходное значение).

**FGen** - подмодуль, преобразующий это выходное значение в необходимый сигнал, а именно в меандр.

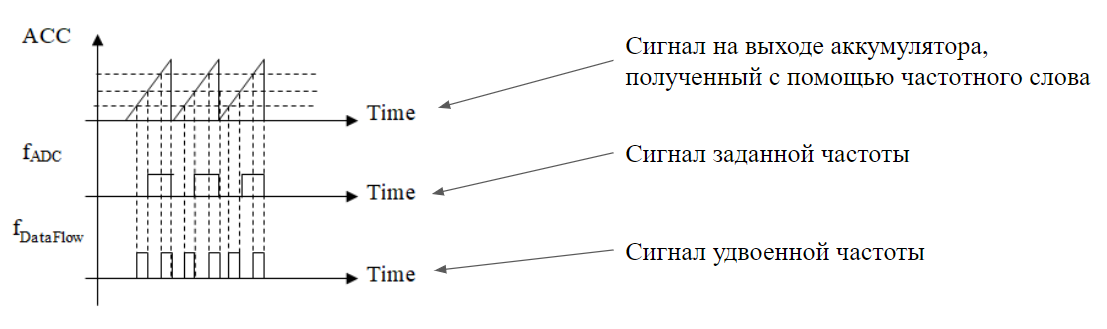
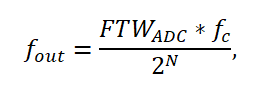


Рис. 2.4. Графики генерируемых модулем сигналов.

Формула, описывающая взаимосвязь между кодовым словом и частотой дискретизации:



где — выходная частота дискретизации; — слово установки частоты (**f**requency **t**uning **w**ord); — тактовая частота, 60 МГц; N — разрядность аккумулятора, 32 бита.

На рис.2.5 изображено графическое представление всех подмодулей модуля синтеза частоты дискретизации.

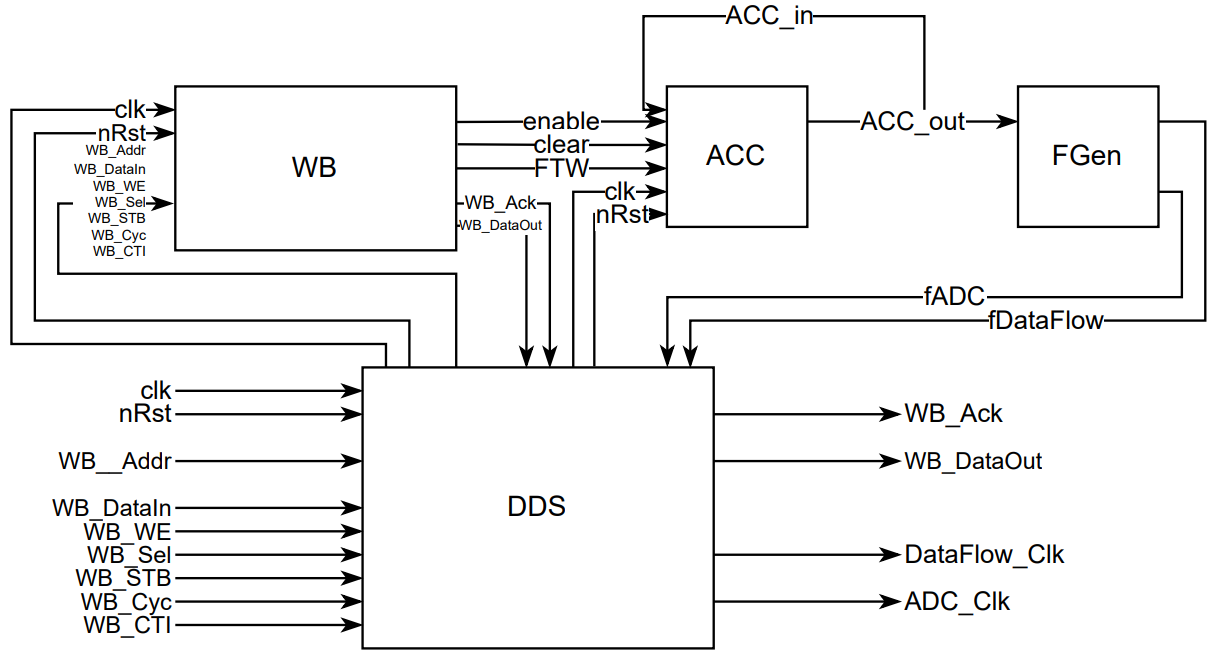
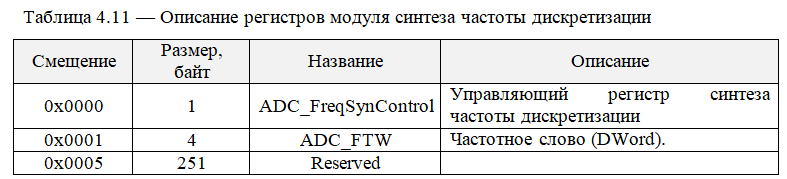


Рис.2.5.Схема всех включений модуля синтеза частоты дискретизации

# Адресная карта

Таблица 3.1. Описание регистров модуля синтеза частоты дискретизации

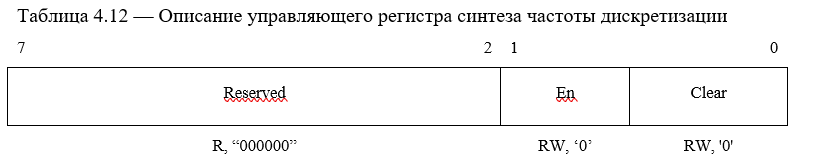
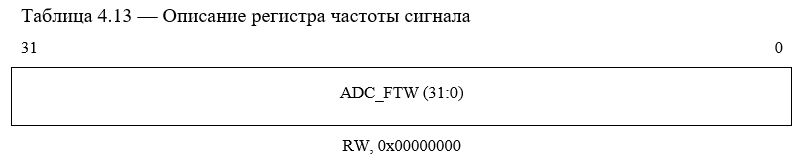
В таблице 3.2. приведено описание управляющего регистра синтеза частоты дискретизации с побитным указанием информации, хранящейся в нем. 

Таблица 3.2 Описание управляющего регистра синтеза частоты дискретизации

**Clear** — Самоочищающийся бит сброса синтезатора частоты дискретизации. После записи единицы через 100 нс данный бит снова сбрасывается в ноль.

**Enable**  — Сигнал остановки подачи частоты дискретизации на АЦП, активный высокий уровень.

В таблице 3.4. приведено описание регистра частоты сигнала с побитным указанием информации, хранящейся в нем.

Таблица 3.3 Описание регистра частоты сигнала

**ADC\_FTW (31:0)** — **ADC** **F**requency **T**uning **W**ord. Слово установки частоты.

# Симуляция

На рисунках ниже продемонстрирована работа модуля синтеза частоты дискретизации, генерирующего меандры заданной и удвоенной частот, и интерфейса WISHBONE.

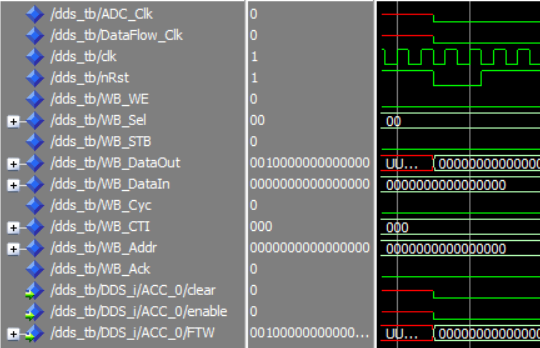


Рис. 4.1. Временная диаграмма работы сигнала сброса

На рис. 4.1. представлена временная диаграмма работы сигнала сброса nRst. При переводе этого сигнала в 0 все выходные и внутренние сигналы, включая сигналы интерфейса WISHBONE, сбрасываются в 0.

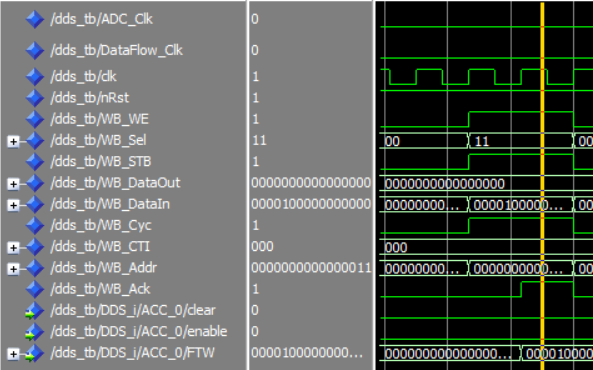


Рис. 4.2. Временная диаграмма работы запись частотного слова в модуль

На рис. 4.2. представлена временная диаграмма работы записи частотного слова в модуль. Как видно из диаграммы, считывается адрес(входной сигнал интерфейса WISHBONE) и в соответствии с ним записывается значение вектора сигналов WB\_DataIn в частотное слово ADC\_FTW. После считывания видно, что в аккумуляторе происходит инкрементирование на это частотное слово.

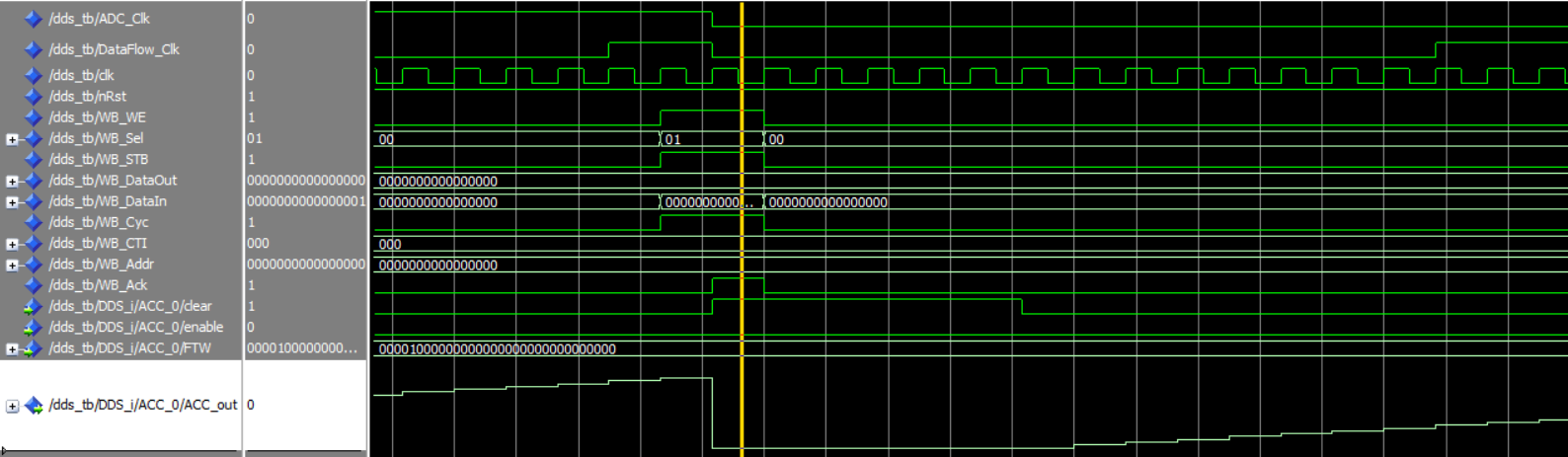


Рис. 4.3. Временная диаграмма работы модуля при высоком активном уровне сигнала clear

На рис. 4.3. изображен перевод сигнала очищения в 1. Значение, передаваемое в сигнал clear, идет из сигналов интерфейса WISHBONE, в частности из последнего бита вектора сигналов WB\_DataIn. И через 100 ns после перехода в 1 clear переходит в 0 и в аккумуляторе начинается инкрементирование.

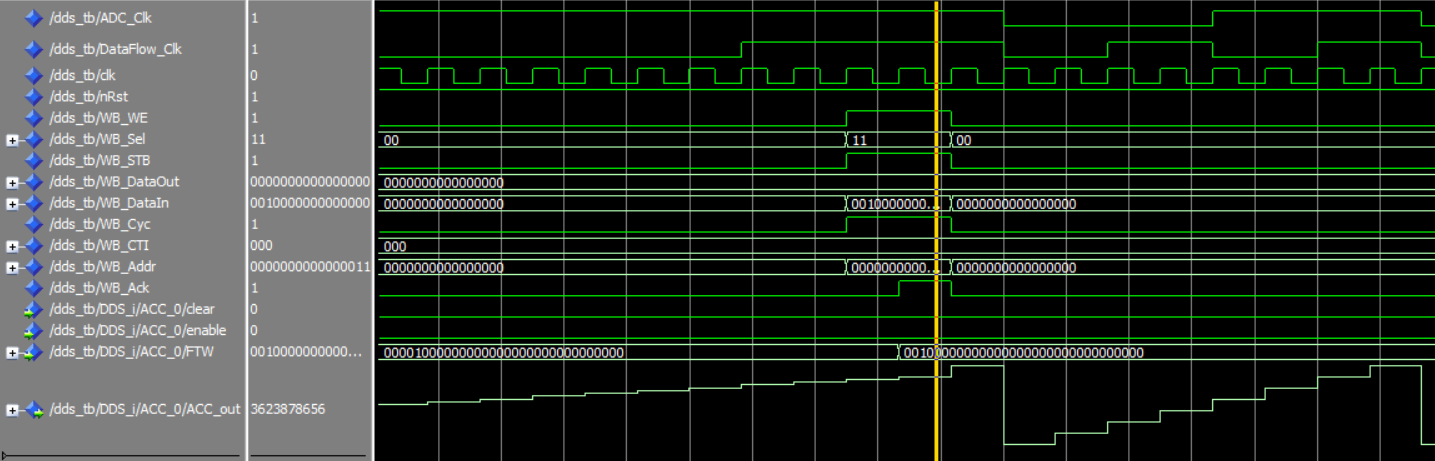


Рис. 4.4. Временная диаграмма работы модуля при записи иного частотного слова.

На рис. 4.4. происходит перезапись частотного слова на большее значение посредством нового значения вектора сигналов WB\_DataIn. И аккумулятор начинает сразу инкрементировать на это увеличенное частотное слово.

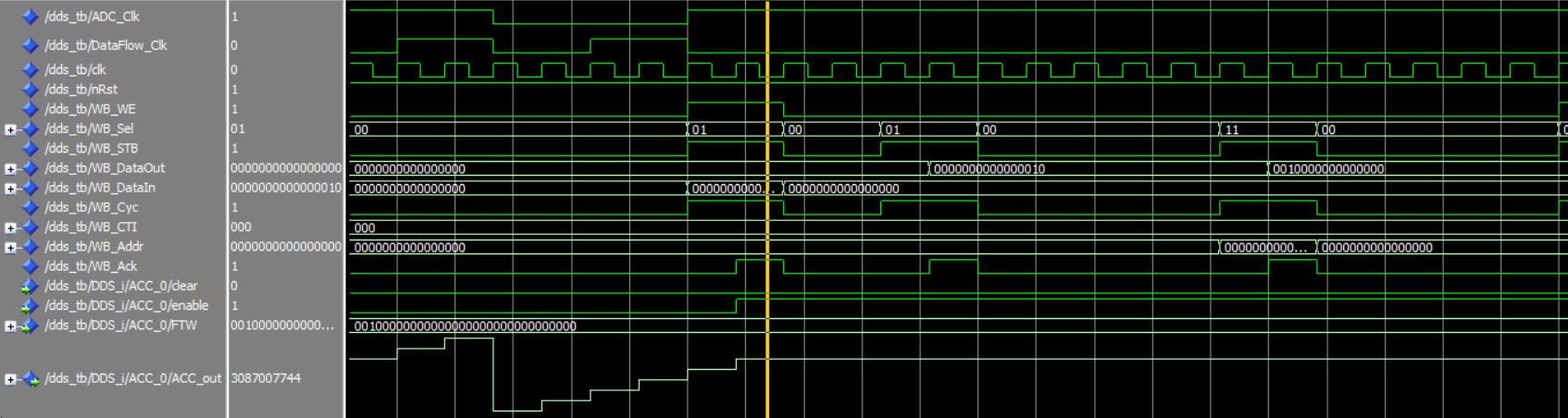


Рис. 4.5. Временная диаграмма работы модуля при переводе в сигнала остановки подачи частоты в высокий уровень

На рис. 4.5. изображена работа модуля при перевода сигнала остановки подачи частоты дискретизации на АЦП enable в 1, то есть инкрементирование на аккумуляторе прекращается. Значение, поступающее в enable, передается из интерфейса WISHBONE, а именно из предпоследнего 14 бита (при счете с 0) вектора сигналов WB\_DataIn. А при переводе этого сигнала обратно в 0 инкрементирование продолжится с места остановки подачи частоты дискретизации, как показано на рис. 4.6.

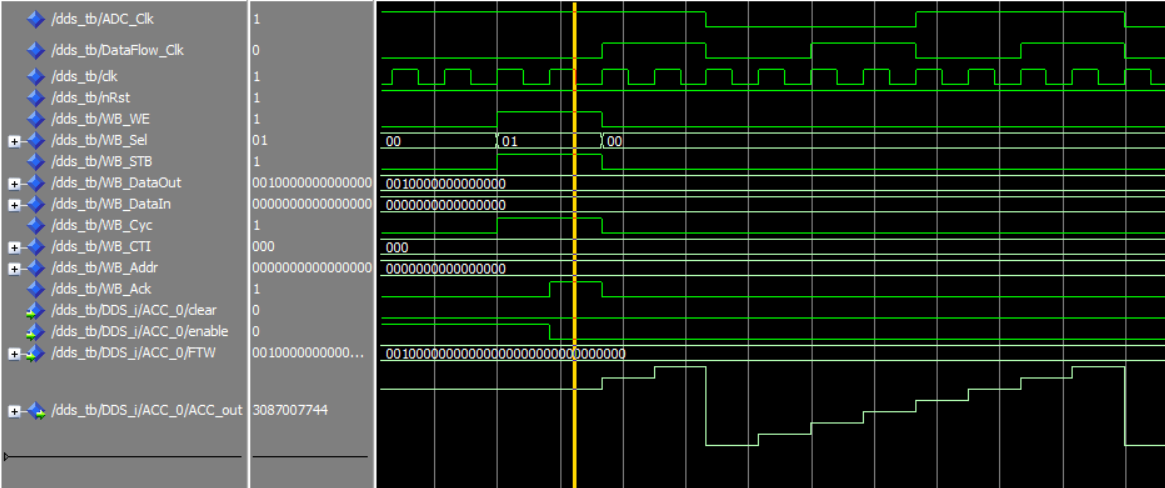


Рис. 4.6. Временная диаграмма работы модуля при переводе сигнала остановки подачи частоты в низкий уровень.

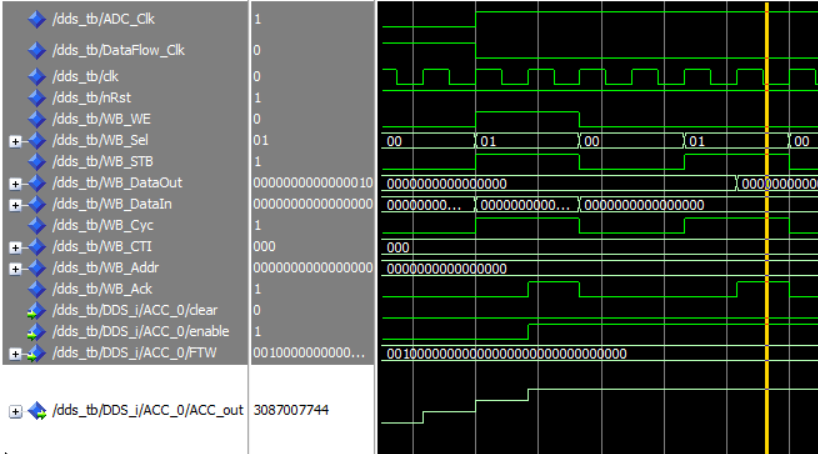


Рис. 4.7. Временная диаграмма работы интерфейса при чтении master со slave

На рис. 4.7. показано считывание данных master со slave, то есть передача значения с управляющего регистра на выходной сигнал интерфейса WISHBONE WB\_DataOut. Как видно самый младший сигнал со значения WB\_DataIn равен нулю, так как сигнал clear в данным момент равен нулю. А следующий за ним сигнал равен единице, так как в данный момент сигнал enable равен единице и модуль не накапливает значение на аккумуляторе.

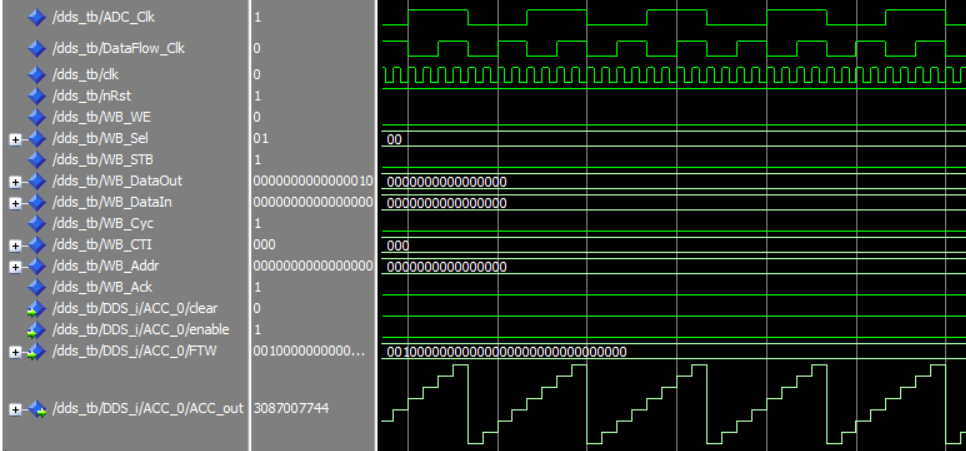


Рис. 4.8. Временная диаграмма работы модуля

На рис. 4.8. изображена работа модуля синтеза частоты дискретизации, используя ранее полученное частотное слово. Как видно из диаграммы, на выходе ADC\_Clk генерируется меандр заданной частоты, а на выходе DataFlow\_Clk - удвоенной. Также на диаграмме представлено накопление значения аккумулятора в векторе сигналов ACC\_out.

# Синтез

На рис. 5.1. изображена RTL-схема модуля синтеза частоты дискретизации.

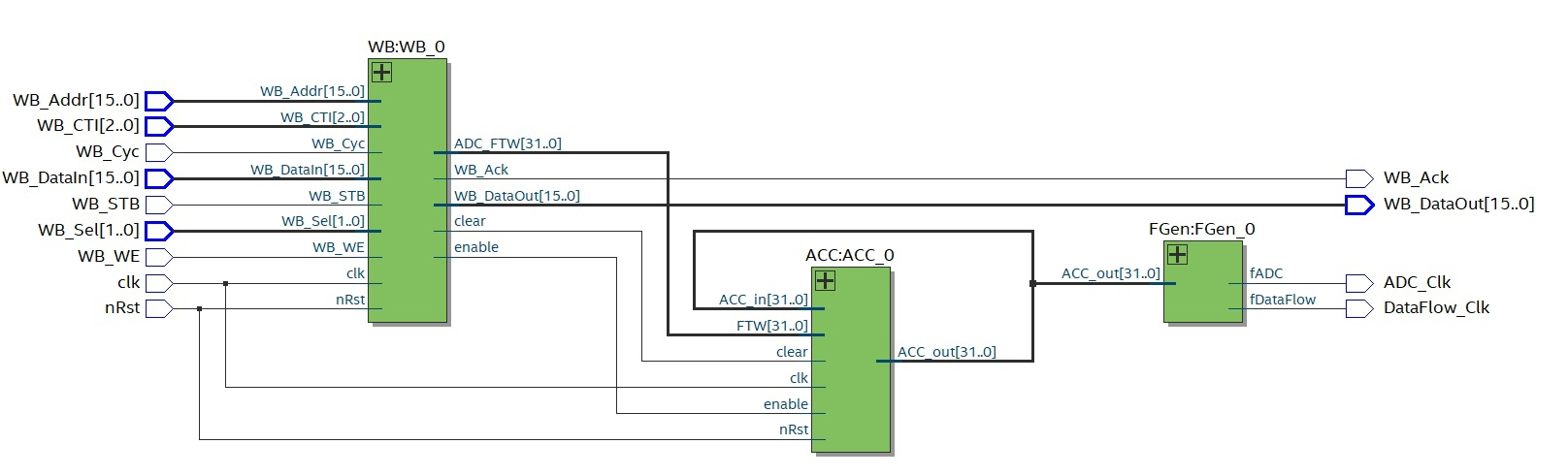


Рис. 5.1. RTL-схема всего модуля

На рис. 5.2. изображена RTL-схема модуля WB, отвечающего за работу интерфейса WishBone.

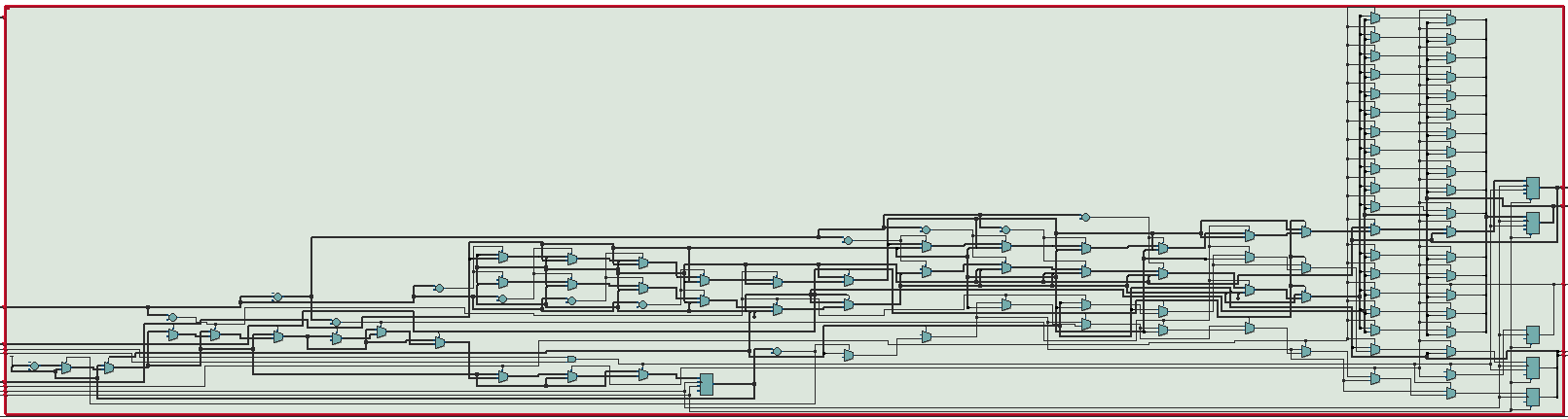


Рис. 5.2. RTL-схема модуля WB

На рис. 5.3. изображена RTL-схема модуля ACC, отвечающего за накопление частотного слова.

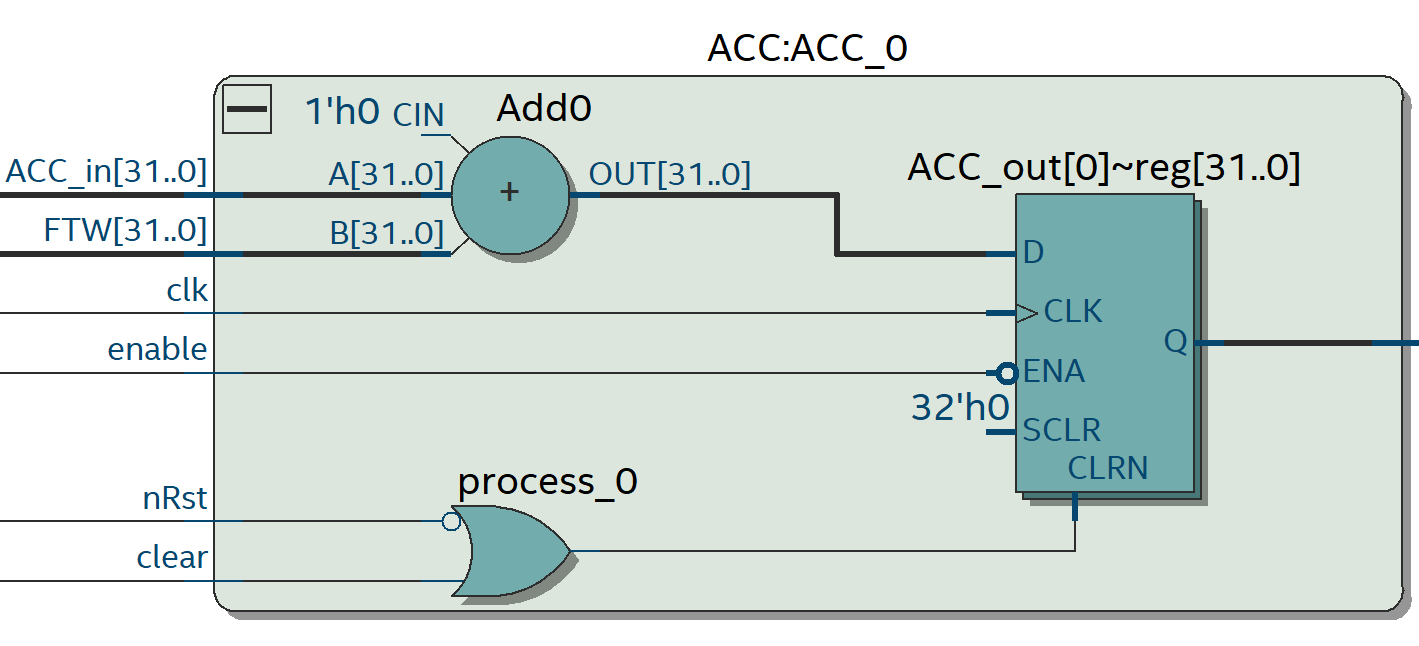


Рис. 5.4. RTL-схема модуля ACC

На рис. 5.4. изображена RTL-схема модуля FGen, отвечающего за генерацию меандров заданной частоты, используя значение модуля ACC.

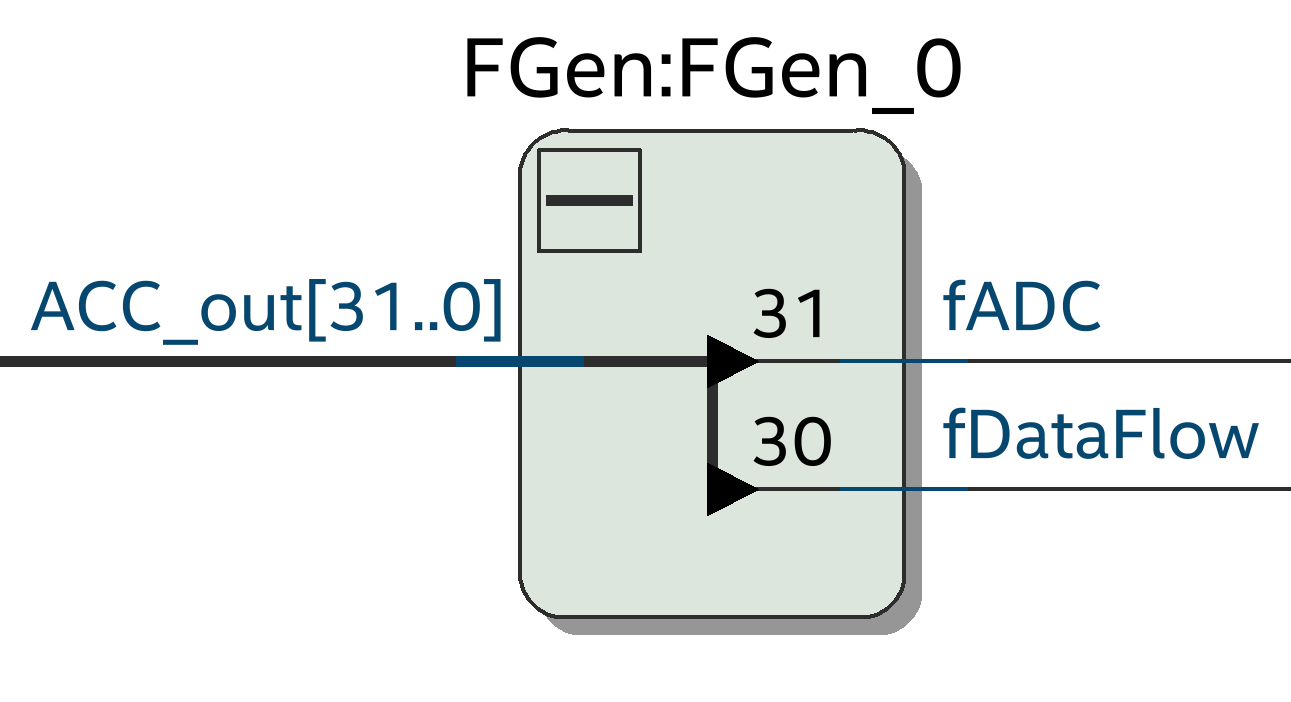


Рис. 5.5. RTL-схема модуля FGen

На рис. 5.5. изображен общий отчет о занимаемых ресурсах модулем синтеза частоты дискретизации.

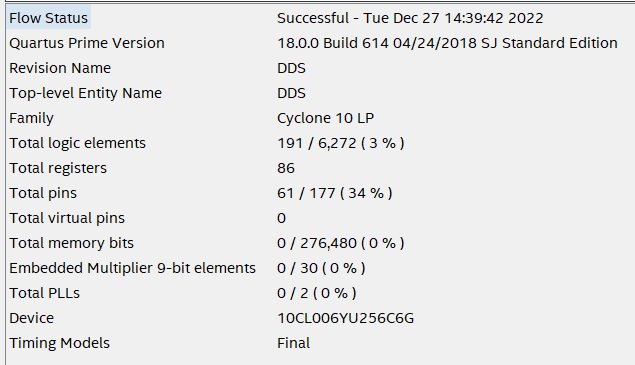


Рис. 5.5. Общий отчет о занимаемых ресурсах



Рис. 5.6. Используемые тактовые сигналы

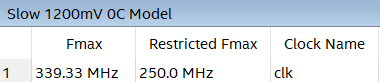


Рис. 5.7. Отчет о временных характеристиках модуля при 0 С.

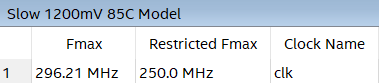


Рис. 5.8. Отчет о временных характеристиках модуля при 85 С.

# Заключение

В данной работе был описан модуль синтеза частоты дискретизации векторного анализатора на языке VHDL. Работа модуля соответствует заявленной спецификации. Модуль генерирует меандры заданной и удвоенной частот и обрабатывает все сигналы интерфейса WISHBONE.

В ходе работы были получены навыки работы с языком описания оборудования VHDL, приобретен опыт работы с программным обеспечением Quartus Prime и ModelSim и опыт работы в команде.